

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月28日
Date of Application:

出願番号 特願2003-053658
Application Number:
[ST. 10/C]: [JP 2003-053658]

出願人 株式会社デンソー
Applicant(s):

2004年 1月19日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

出証番号 出証特2004-3000736



【書類名】 特許願

【整理番号】 N030005

【提出日】 平成15年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 11/22

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 伊藤 直紀

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 鈴木 享市

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 石原 秀昭

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

【代理人】

 【識別番号】 100071135

 【住所又は居所】 名古屋市中区栄四丁目 6 番 1 5 号 名古屋あおば生命ビル

 【弁理士】

 【氏名又は名称】 佐藤 強

 【電話番号】 052-251-2707

【選任した代理人】

 【識別番号】 100119769

 【弁理士】

 【氏名又は名称】 小川 清

【手数料の表示】

【予納台帳番号】 008925

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9200169

【包括委任状番号】 0217337

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびマイクロコンピュータ開発支援装置

【特許請求の範囲】

【請求項 1】 CPUと該CPUにより制御される周辺回路とが設けられたワンチップマイクロコンピュータの動作をエミュレートするための半導体集積回路装置において、

第1のリセット信号が与えられた場合には、前記CPUからのリセットベクタアドレスに応じたベクタアドレスを出力し、第2のリセット信号が与えられた場合には、前記CPUからのリセットベクタアドレスに替えて所定のベクタアドレスを出力するベクタアドレス切替回路と、

前記CPUと外部回路との間でエミュレーションに関する情報を入出力するインターフェース回路とを備え、

前記CPUは、前記第1および第2のリセット信号によりリセットされ、

前記インターフェース回路は、前記第2のリセット信号によりリセットされるように構成されていることを特徴とする半導体集積回路装置。

【請求項 2】 前記周辺回路は、その本来的な機能を実現するための機能回路に加え、前記CPUがその命令実行中に発生したブレーク要求を受け付けたことに応じて、当該ブレーク要求に対する処理が終了するまでの期間、前記機能回路の動作の進行を停止するように制御する停止制御回路と、この停止制御回路の動作停止機能を有効化しまたは無効化するための設定情報を記憶する設定情報記憶回路とを備えており、

前記周辺回路の機能回路は、前記第1および第2のリセット信号によりリセットされ、

前記停止制御回路と前記設定情報記憶回路は、前記第2のリセット信号によりリセットされるように構成されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項 3】 ユーザプログラムを格納するためのエミュレーションメモリとモニタプログラムを格納するためのモニタプログラムメモリとを備えていることを特徴とする請求項1または2記載の半導体集積回路装置。

【請求項 4】 CPU と該 CPU により制御される周辺回路とからなるワンチップマイクロコンピュータが搭載される回路基板に前記ワンチップマイクロコンピュータの代わりに電氣的に接続された状態で前記ワンチップマイクロコンピュータの動作をエミュレートするための半導体集積回路装置を備えてなるマイクロコンピュータ開発支援装置において、

前記半導体集積回路装置によるエミュレーション条件の設定やエミュレーション結果のデータ処理などを行うためのホストを備え、

前記半導体集積回路装置は、

前記回路基板から第 1 のリセット信号が与えられた場合には、前記 CPU からのリセットベクタアドレスに応じたユーザプログラムのベクタアドレスを出力し、前記ホストから第 2 のリセット信号が与えられた場合には、前記 CPU からのリセットベクタアドレスに替えてモニタプログラムのベクタアドレスを出力するベクタアドレス切替回路と、

前記 CPU と外部回路との間でエミュレーションに関する情報を入出力するインターフェース回路とを備え、

前記 CPU は、前記第 1 および第 2 のリセット信号によりリセットされ、

前記インターフェース回路は、前記第 2 のリセット信号によりリセットされるように構成されていることを特徴とするマイクロコンピュータ開発支援装置。

【請求項 5】 前記半導体集積回路装置に内蔵された周辺回路は、その本来的な機能を実現するための機能回路に加え、前記 CPU がその命令実行中に発生したブレーク要求を受け付けたことに応じて、当該ブレーク要求に対する処理が終了するまでの期間、前記機能回路の動作の進行を停止するように制御する停止制御回路と、この停止制御回路の動作停止機能を有効化しまたは無効化するための設定情報を記憶する設定情報記憶回路とを備えており、

前記周辺回路の機能回路は、前記第 1 および第 2 のリセット信号によりリセットされ、

前記停止制御回路と設定情報記憶回路は、前記第 2 のリセット信号によりリセットされるように構成されていることを特徴とする請求項 4 記載のマイクロコンピュータ開発支援装置。

【請求項 6】 前記半導体集積回路装置は、前記ユーザプログラムを格納するためのエミュレーションメモリと前記モニタプログラムを格納するためのモニタプログラムメモリとを備えていることを特徴とする請求項 4 または 5 記載のマイクロコンピュータ開発支援装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ワンチップマイクロコンピュータの動作をエミュレートするための半導体集積回路装置および当該半導体集積回路装置を備えてなるマイクロコンピュータ開発支援装置に関する。

【0002】

【従来の技術】

特許文献 1 に示されるエミュレータは、パワーオンリセットまたは強制リセット後において、ファームウェアを起動させることなくユーザプログラムを起動させて、エミュレータと応用システムに搭載されている CPU とのリアルタイム性を損なわずにデバッグを行うものである。複数の CPU により構成されたマルチ CPU 方式の応用システムにおいて、CPU と同じ時間でプログラムが起動し、エバリュエーションチップのリセット直後におけるデバッグが行える点に特徴を有している。

【0003】

【特許文献 1】

特開平 8-30478 号公報

【0004】

【発明が解決しようとする課題】

図 4 は、ICE（マイクロコンピュータ開発支援装置）に組み込まれたエバチップの従来構成を示している。このエバチップ 1 は、ターゲットチップ（図示せず）と同様に、CPU 2 および種々の周辺モジュール 3 を備えている。また、CPU 2 と ICE 本体（図示せず）との間のインターフェースを行うために、インターフェース回路 4 を備えている。周辺モジュール 3 は、データレジスタ、ステ

ータスレジスタ、動作設定レジスタなどのレジスタ 3 a、3 b、…を有しており、インターフェース回路 4 も、データレジスタ、ステータスレジスタ、動作設定レジスタなどのレジスタ 4 a、4 b、…を有している。

【0005】

この従来構成において、ICE を操作することにより発生するリセット信号とターゲットシステムで発生するリセット信号とは同一のリセット信号 RST とされている。そして、このリセット信号 RST は、CPU 2、周辺モジュール 3 およびインターフェース回路 4 に与えられている。

【0006】

ここで、例えばターゲットシステムでリセット信号が発生した場合、CPU 2 や周辺モジュール 3 とともにインターフェース回路 4 もリセットされてしまう。その結果、リセットされるごとに、インターフェース回路 4 を再設定（初期化）するためにモニタプログラムを起動し直す必要が生じ、実際のターゲットシステムにおいてリセット信号が生じたときの動作タイミングと、上記エバチップ 1 を用いてエミュレートする場合にリセット信号が生じたときの動作タイミングとが異なったものとなってしまう。

【0007】

本発明は上記事情に鑑みてなされたもので、その目的は、リセット信号発生直後の動作を正確にエミュレートすることができる半導体集積回路装置および当該半導体集積回路装置を備えてなるマイクロコンピュータ開発支援装置を提供することにある。

【0008】

【課題を解決するための手段】

請求項 1、4 に記載した手段によれば、第 1 のリセット信号が与えられた場合には、CPU は、そのリセットベクタアドレスに応じたベクタアドレスから（ユーザプログラムの）実行を開始し、第 2 のリセット信号が与えられた場合には、そのリセットベクタアドレスとは別のベクタアドレスから（モニタプログラムの）実行を開始する。この場合、インターフェース回路は、第 1 のリセット信号によりリセットされない。従って、例えばターゲットシステムである回路基板から

第1のリセット信号が与えられた場合に、インターフェース回路を再設定（初期化）する必要がなく、モニタプログラムを起動することなく（既に起動されているモニタプログラムの管理下において）直接ユーザプログラムの実行を開始することができる。

【0 0 0 9】

これにより、実際のターゲットシステムにおいてリセットが生じたときの動作タイミングと、半導体集積回路装置を用いてエミュレートする場合においてリセットが生じたときの動作タイミングとが一致し、リセット信号発生直後の動作を正確に評価することができるようになる。また、第2のリセット信号を与えれば、半導体集積回路装置全体をリセットすることができる。

【0 0 1 0】

請求項2、5に記載した手段によれば、半導体集積回路装置内の周辺回路に設けられた設定情報記憶回路に動作停止機能を有効化する設定情報が記憶されている場合、CPUがその命令実行中に発生したブレーク要求を受け付けると、それに応じて、当該周辺回路は、当該ブレーク要求に対する処理が終了するまでの期間、機能回路の動作の進行を停止する。従って、半導体集積回路装置がブレーク要求に対するモニタ処理を実行している期間、周辺回路内部のレジスタにはブレーク要求受け付け時の値がそのまま保持されている。評価作業者は、この半導体集積回路装置が実行するモニタ処理を利用して、ブレーク要求受け付け時の周辺回路の動作状態を正確に認識することができる。

【0 0 1 1】

ブレーク状態が解除されてCPUがブレーク要求前の動作状態（一般的にはユーザプログラムの実行状態）に復帰すると、周辺回路は停止していた動作の進行を再開する。その結果、CPUによるユーザプログラムの実行と周辺回路の動作とが同期して、ブレーク要求受け付け前の状態と連続性を有して再進行する。従って、本手段を用いることにより、ワンチップマイクロコンピュータの動作をブレークをかけながら継続的且つ正確にエミュレートすることができる。また、周辺回路の停止制御回路と設定情報記憶回路は、第1のリセット信号によりリセットされないため、第1のリセット信号に応じてこれらを再設定（初期化）する目的

でモニタプログラムを起動する必要がない。

【0012】

請求項 3、6 に記載した手段によれば、ユーザプログラムを格納するためのエミュレーションメモリとモニタプログラムを格納するためのモニタプログラムメモリとを半導体集積回路装置の外部に設ける必要がない。

【0013】

【発明の実施の形態】

以下、本発明の一実施形態について図 1 ないし図 3 を参照しながら説明する。

図 1 は、評価システム全体の電氣的構成を示す機能ブロック図である。ターゲットシステムとなる回路基板 12 は、評価対象のワンチップマイクロコンピュータ（以下、マイコンと称す）が搭載される基板であり、例えば車両の ECU (Electric Control Unit) に収容されて用いられるものである。マイクロコンピュータ開発支援装置である ICE 11 (In Circuit Emulator) は、このマイコンの動作をエミュレートするために用いられる。

【0014】

回路基板 12 において評価対象のマイコンが搭載される部分には、当該マイコンに代えてソケット（図示せず）が搭載されている。そのソケットには、ICE 本体から延びるエミュレーションケーブルの先端に配置された POD 13（プローブ）が接続されるようになっている。後述するエバチップ 14 は、これらエミュレーションケーブルおよび POD 13 を介して回路基板 12 に電氣的に接続されるようになっている。

【0015】

ICE 11 は、マイコンの動作をエミュレートするエバチップ 14（半導体集積回路装置に相当）、メモリ部 15、および ICE コントローラ 16 を介して繋がるパソコン 17（ホストに相当）から構成されている。メモリ部 15 は、エバチップ 14 との間でデータを高速にやり取りするためのインターフェース回路 18 を備えており、このインターフェース回路 18 にはエミュレーションメモリ 19、モニタプログラムメモリ 20、トレースメモリ 21 が接続されている。

【0016】

エミュレーションメモリ 19 は、パソコン 17 からダウンロードしたユーザプログラムを格納するためのメモリ (RAM) である。モニタプログラムメモリ 20 は、エバチップ 14 が実行するモニタプログラム (評価用プログラム、エミュレーションプログラム) が格納されるものであり、ROM または RAM により構成されている。RAM として構成されている場合、モニタプログラムは、エミュレーションを実行するのに先立ってパソコン 17 からダウンロードされるようになっている。

【0017】

トレースメモリ 21 は、トレースモードでのエミュレーションを実行するときに、その実行した命令が実行順に書き込まれて記憶されるようになっている。また、エバチップ 14 に内蔵されているプログラムカウンタや、割り込み要求フラグ、命令実行許可フラグなどの内蔵レジスタに関する情報なども記憶されるようになっている。

【0018】

エバチップ 14 は、最終的に回路基板 12 に搭載されるマイコンと同様に CPU 22、各種の周辺モジュール 23 (図 1 には 1 つのみを示している)、周波数通倍回路 24 および RAM 25 を備えている。周辺モジュール 23 (周辺回路に相当) は、タイマ、カウンタ、入出力ポート、シリアル通信部、A/D 変換器、D/A 変換器などを構成する機能回路 26 を備え、データレジスタや動作設定レジスタなどの種々のレジスタ 26 a、26 b、26 c、…は、図示しないアドレスバスとデータバスにより CPU 22 と接続されている。周波数通倍回路 24 は、エバチップ 14 の外から入力される基本クロックを通倍して生成したクロック CK を CPU 22、周辺モジュール 23、後述するインターフェース回路 27 などに供給するようになっている。

【0019】

さらに、エバチップ 14 には、メモリ部 15 と CPU 22 との間でデータを高速にやり取りするためのインターフェース回路 27 が設けられている。このインターフェース回路 27 は、入出力に係る動作モード等を設定するためのレジスタ 27 a、27 b、…を備えている。また、CPU 22 がリセットされた場合に、

CPU 2 2 から出力されたりセットベクタの切り替えを制御するベクタアドレス切替回路 2 8 を備えている。

【 0 0 2 0 】

上記周辺モジュール 2 3 のうち、タイマ、非同期シリアル通信部など、動作を一時的に停止させても内部エラーが発生しないようなものには、動作設定レジスタ 2 9 と停止制御回路 3 0 とが設けられている。停止制御回路 3 0 は、CPU 2 2 からブレーク処理信号 B K が入力されている期間、当該周辺モジュール 2 3 内の機能回路 2 6 の動作の進行を停止させるように機能する。例えばタイマであれば、ブレーク処理信号 B K が入力されている期間タイマの計時動作が停止して、ブレーク処理信号 B K の入力直前のタイマ値が保持される。ブレーク処理信号 B K は、CPU 2 2 がユーザプログラムの実行中にブレーク割り込み要求を受け付けた時に出力され、そのブレーク割り込み処理が終了するまでの期間出力され続ける。

【 0 0 2 1 】

動作設定レジスタ 2 9 は、この停止制御回路 3 0 の機能を許可（有効化）するか禁止（無効化）するかの指令データを記憶するものである。この指令データは、CPU 2 2 によって書き込まれる。停止制御回路 3 0 は、この動作設定レジスタ 2 9 の指令データが「許可」である場合に限り上記停止制御を実行するようになっている。

【 0 0 2 2 】

エバチップ 1 4 に対しては、2 系統のリセット信号 R S T 1、R S T 2 が入力されるようになっている。第 1 のリセット信号 R S T 1 は、回路基板 1 2 から P O D 1 3 およびエミュレーションケーブルを介して入力されるターゲットリセットの信号で、第 2 のリセット信号 R S T 2 は、I C E 1 1 本体でユーザのリセット操作等によって入力される I C E リセットの信号である。

【 0 0 2 3 】

CPU 2 2 および周辺モジュール 2 3 の機能回路 2 6（レジスタ 2 6 a、2 6 b、2 6 c、…を含む）のリセット端子には、リセット信号 R S T 1 と R S T 2 が O R ゲート 3 1 を介して与えられており、これら CPU 2 2 および周辺モジュ

ール 23 の機能回路 26 は、リセット信号 RST1 と RST2 の何れによってもリセットされるようになっている。一方、周辺モジュール 23 の動作設定レジスタ 29 と停止制御回路 30 およびインターフェース回路 18、27（レジスタ 27a、27b、…を含む）は、リセット信号 RST2 によってのみリセットされるようになっている。

【0024】

次に、本実施形態の本実施例の作用について図 2 および図 3 も参照しながら説明する。

ユーザは、パソコン 17 上で ICE 用のソフトウェアを起動し、モニタプログラムを ICE 11 のモニタプログラムメモリ 20 にダウンロードする。続いて、ターゲットシステム用に開発した評価対象であるユーザプログラムをエミュレーションメモリ 19 にダウンロードする。この状態で ICE 11 本体をリセット操作するとリセット信号 RST2 が発生し、エバチップ 14 全体およびインターフェース回路 18 がリセットされる。

【0025】

図 2（a）に示すように、エバチップ 14 内部に設けた遅延回路（図示せず）により所定の発振安定待ち時間が経過すると、CPU 22 が起動し、リセットベクタをアドレスバスを通してベクタアドレス切替回路 28 に出力する。ベクタアドレス切替回路 28 にはリセット信号 RST1 と RST2 とが入力されており、当該リセットの種類（ターゲットリセット、ICE リセット）によってベクタアドレスを切り替える。ここでは、リセット信号 RST2 による ICE リセットであるため、ベクタアドレス切替回路 28 は、CPU 22 からの（ユーザプログラムの）ベクタアドレスに替えてモニタプログラムの先頭アドレスを指示するベクタアドレスを出力する。その結果、CPU 22 は、モニタプログラムの実行を開始する。

【0026】

図 2（b）は、CPU 22 の処理内容を示すフローチャートである。CPU 22 は、起動したモニタプログラムに従って、インターフェース回路 27 内のレジスタ 27a、27b、…に対し、所定の動作設定データを書き込む（ステップ S

1)。続いて、周辺モジュール 23 の動作設定レジスタ 29 に、停止制御回路 30 の機能を許可するための指令データを書き込む（ステップ S2）。以上の初期設定が完了すると、ユーザプログラムの実行を開始する（ステップ S3）。なお、通常のユーザプログラムは、その実行開始直後において、CPU 22、機能回路 26（レジスタ 26a、26b、26c、…）、RAM 25 などの初期設定を行うようになっている。

【0027】

その後、ユーザ（評価作業）は、ブレーク条件を設定しながらターゲットシステムのデバッグを行っていく。ブレーク条件として、ブレークアドレスの他、命令フェッチサイクル／データアクセスサイクル、リードサイクル／ライトサイクル、バイトアクセス／ワードアクセスなどの条件を設定することができる。

【0028】

命令実行中に設定したブレーク条件が成立すると、CPU 22 にブレーク割り込み要求が発生する。CPU 22 は、その割り込み要求を受け付けると、上記モニタプログラムの実行に移行する。この状態で、ユーザは、パソコン 17 を操作しながらそのモニタ画面上で CPU 22 内のレジスタ、RAM 25、レジスタ 26a、26b、26c、…の値などを確認することが可能となる。確認終了後、パソコン 17 から「GO」コマンドを入力すると、CPU 22 は割り込み処理からリターンして再びユーザプログラムの実行を開始する。

【0029】

図 3 は、周辺モジュール 23 の一例としてタイマを想定した場合における CPU 22 と当該タイマの動作を示すタイミングチャート（a）と、従来構成（図 4 参照）のエバチップ 1 に係るタイミングチャート（b）である。図 3（a）において、CPU 22 がブレーク割り込み要求を受け付けた後リターンするまでの期間（つまりモニタプログラムの実行中）、CPU 22 は H レベルのブレーク処理信号 BK を出力する。

【0030】

上述したように周辺モジュール 23 の動作設定レジスタ 29 には「許可」指令データが書き込まれているので、停止制御回路 30 は、ブレーク処理信号 BK が

Hレベルになるとタイマの計時動作を停止させる。このとき、タイマ値はブレーク処理信号BKがHレベルになる直前の値のまま保持される。そして、ブレーク処理信号BKがLレベルに戻ると、停止制御回路30はタイマの計時動作を再開させ、タイマ値はそれまで保持されていた値から再び変化を開始する。なお、動作設定レジスタ29に、停止制御回路30の機能を禁止するための指令データが記憶されている場合には、ブレーク処理信号BKが入力されていても機能回路26の動作の進行は停止せず、図3（b）に示すようにタイマ値は増加する。

【0031】

こうしたデバッグ作業において、回路基板12からリセット信号RST1を与えると、CPU22と周辺モジュール23の機能回路26（上述の例で言えばタイマ回路）がリセットされる。この場合、ベクタアドレス切替回路28は、CPU22から出力されるベクタアドレス、すなわちユーザプログラムの先頭アドレスを指示するベクタアドレスをそのまま出力する。その結果、CPU22は、モニタプログラムではなくユーザプログラムの実行を開始する。このリセット信号RST1が与えられたときのユーザプログラムの実行開始タイミングは、実際のターゲットシステムにおけるリセット後のユーザプログラムの実行開始タイミングと等しくなる。

【0032】

このように、ターゲットリセットの後、モニタプログラムを介さずに直接ユーザプログラムの実行を開始できるのは、当該リセットによっては動作設定レジスタ29、停止制御回路30およびインターフェース回路18、27がリセットされないためである。なお、ICE11の電源オンの場合またはICE11のシステムリセットの場合には、エバチップ14の全体がリセットされ、上述したようにモニタプログラムが起動される。

【0033】

以上説明したように、本実施形態によれば、エバチップ14には2系統のリセット信号RST1、RST2が入力され、CPU22は、リセット信号RST1が与えられた場合にはユーザプログラムの実行を開始し、リセット信号RST2が与えられた場合にはモニタプログラムの実行を開始する。また、周辺モジュール

ル 23 の動作設定レジスタ 29 と停止制御回路 30 とは、リセット信号 RST1 によりリセットされない。従って、ターゲットシステムである回路基板 12 からリセット信号 RST1 が与えられた場合には、モニタプログラムを起動することなく、（既に起動されているモニタプログラムの管理下において）直接ユーザプログラムの実行を開始することができる。

【0034】

その結果、実際のターゲットシステムにおいてリセット信号が生じたときの動作タイミングと、エバチップ 14 を用いてエミュレートする場合においてリセット信号 RST1 が生じたときの動作タイミングとが一致し、リセット直後の動作を正確に評価することができるようになる。

【0035】

また、エバチップ 14 内の周辺モジュール 23 に設けられた動作設定レジスタ 29 に停止制御を許可する指令データが記憶されている場合、CPU 22 がブレーク割り込み要求を受け付けると、周辺モジュール 23 の停止制御回路 30 は、当該ブレーク割り込み要求に対するモニタプログラムの処理が終了するまでの期間、機能回路 26 の動作の進行を停止する。従って、ユーザは、このエバチップ 14 が実行するモニタ機能を利用して、ブレーク割り込み要求の受け付け時における周辺モジュール 23 の動作状態を正確に把握することができる。

【0036】

さらに、ブレーク状態が解除されて CPU 22 がブレーク要求前のユーザプログラムの実行状態に復帰すると、機能回路 26 は、停止していた動作の進行を再開する。その結果、CPU 22 によるユーザプログラムの実行と周辺モジュール 23 の動作とが同期して、ブレーク要求受け前の状態と連続性を有して再進行する。従って、ICE 11 を用いることにより、マイコンの動作をブレークをかけながら継続的且つ正確にエミュレートすることができる。

【0037】

なお、本発明は上記し且つ図面に示す実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。

設定情報記憶回路は、動作設定レジスタ 29 のみならず、メモリや外部からエ

バチップ 14 に印加する信号を記憶するハードウェア回路などにより構成してもよい。

停止制御回路が機能回路 26 の動作の進行を停止させる手段としては、例えばタイマの場合、クロック CK とタイマ（カウンタ）との間にゲート回路を設け、停止制御回路からの許可／停止信号によりゲート回路を開閉する構成が考えられる。

インターフェース回路 27 とベクタアドレス切替回路 28 とは独立した構成としてもよい。

エミュレーションメモリ 19 とモニタプログラムメモリ 20 を RAM またはフラッシュメモリにより構成してエバチップ 14 内に設けてもよい。

【図面の簡単な説明】

【図 1】 本発明の一実施形態を示す ICE 全体の電氣的構成図

【図 2】 (a) は ICE のリセット後の動作を示すフローチャート、(b) は CPU の処理内容を示すフローチャート

【図 3】 CPU とタイマの動作を示すタイミングチャート

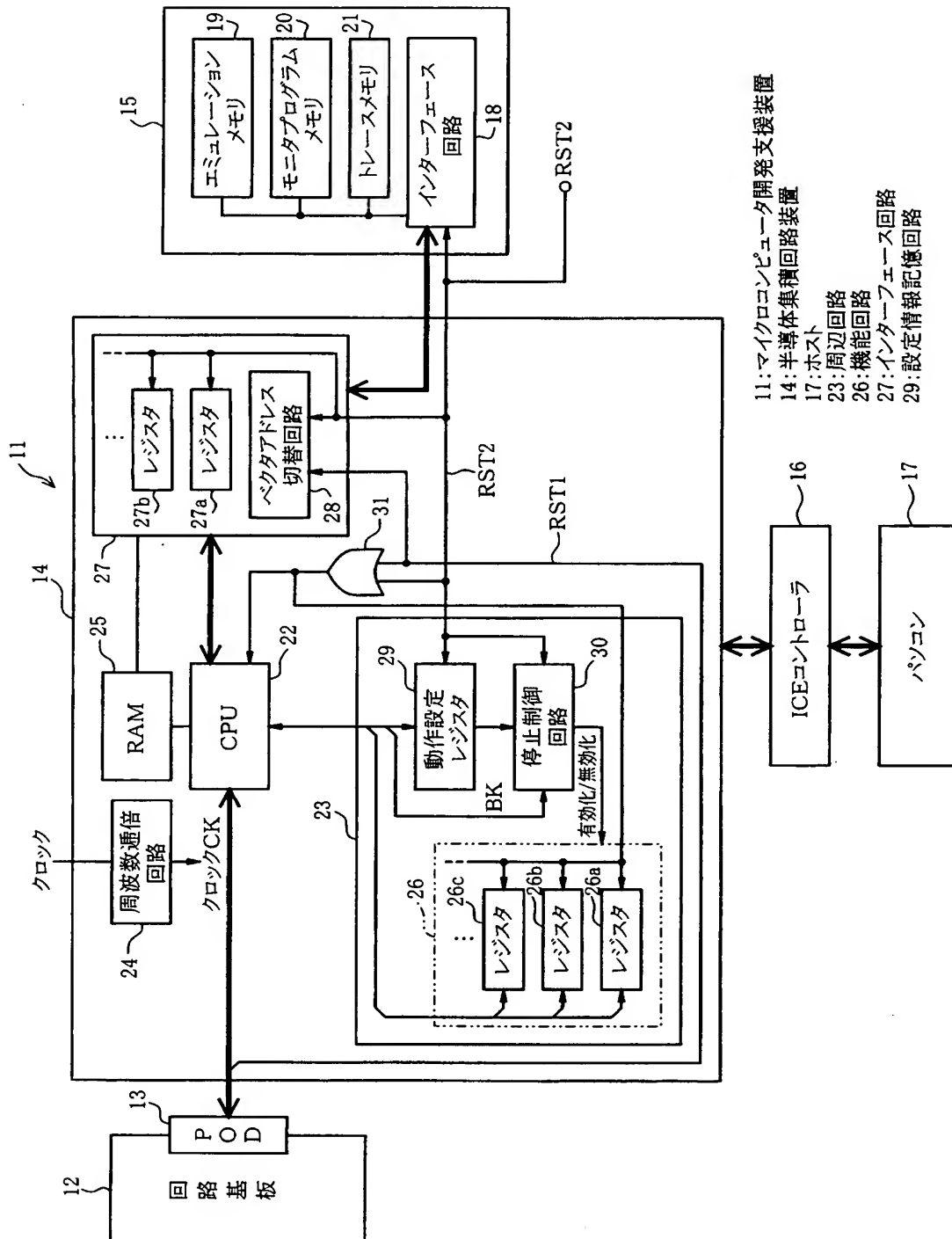
【図 4】 従来技術を示すエバチップの概略的な電氣的構成図

【符号の説明】

11 は ICE（マイクロコンピュータ開発支援装置）、14 はエバチップ（半導体集積回路装置）、17 はパソコン（ホスト）、22 は CPU、23 は周辺モジュール（周辺回路）、26 は機能回路、27 はインターフェース回路、28 はベクタアドレス切替回路、29 は動作設定レジスタ（設定情報記憶回路）、30 は停止制御回路である。

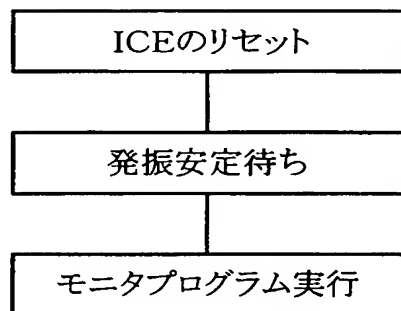
【書類名】 図面

【図 1】

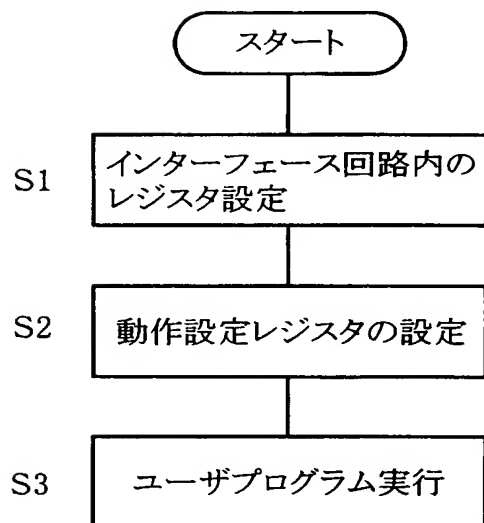


【図 2】

(a)

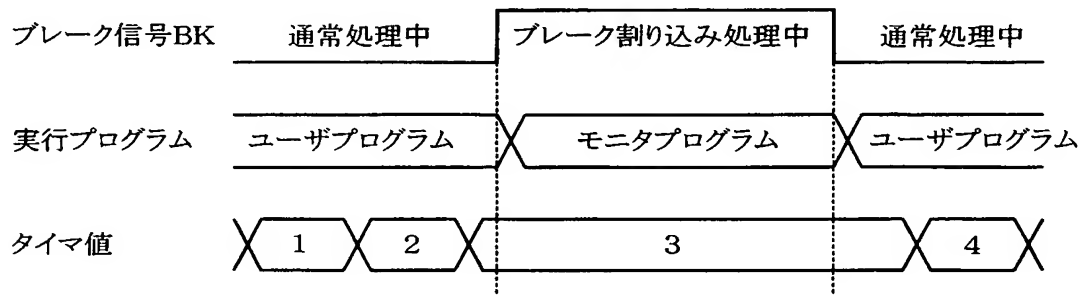


(b)

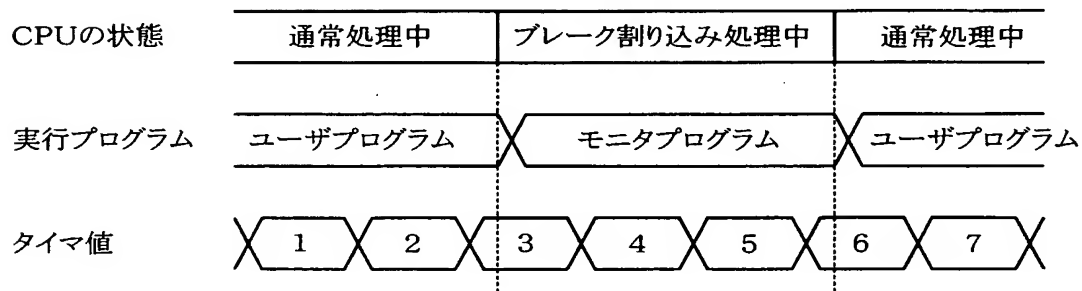


【図 3】

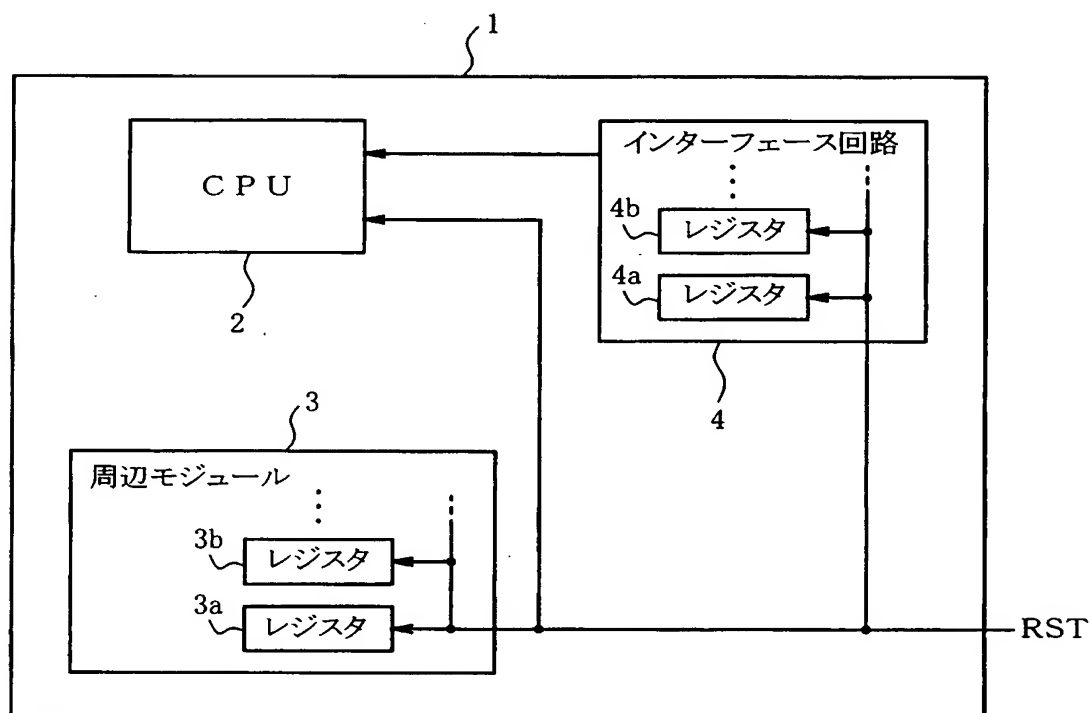
(a)



(b)



【図 4】



【書類名】 要約書

【要約】

【課題】 ブレーク要求受付け時における周辺回路の状態を容易且つ正確に確認する。

【解決手段】 エバチップ 14 内の周辺モジュール 23 に設けられた動作設定レジスタ 29 に停止制御を許可する指令データが記憶されている場合、周辺モジュール 23 の停止制御回路 30 は、CPU 22 がブレーク割り込み要求に対するモニタプログラムの処理を終了するまでの期間、機能回路 26 の動作の進行を停止する。また、回路基板 12 からのリセット信号 RST1 によっては、動作設定レジスタ 29、停止制御回路 30、インターフェース回路 27 はリセットされず、CPU 22 は、モニタプログラムを起動することなく、直接ユーザプログラムの実行を開始する。

【選択図】 図 1

特願 2 0 0 3 - 0 5 3 6 5 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 6 0]

1. 変更年月日	1 9 9 6 年 1 0 月 8 日
[変更理由]	名称変更
住 所	愛知県刈谷市昭和町 1 丁目 1 番地
氏 名	株式会社デンソー